

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(12)

DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 06.11.96.

(30) Priorité :

(43) Date de la mise à disposition du public de la
demande : 07.05.98 Bulletin 98/19.

(56) Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule.*

(60) Références à d'autres documents nationaux
apparentés :

(71) Demandeur(s) : TELEDIFFUSION DE FRANCE
SOCIETE ANONYME — FR.

(72) Inventeur(s) : RICHARD MICHEL.

(73) Titulaire(s) :

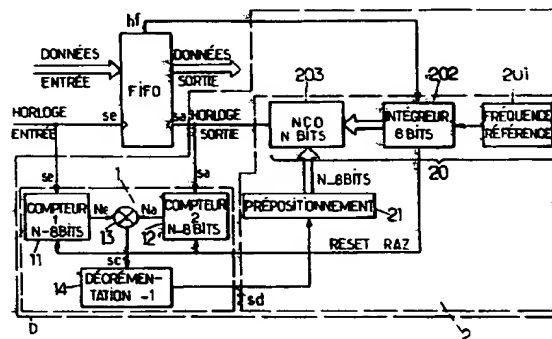
(74) Mandataire : CABINET PLASSERAUD.

(54) DISPOSITIF DE RECOPIE D'UN SIGNAL D'HORLOGE D'ENTREE A FREQUENCE NON CONTINUE.

(57) L'invention concerne un dispositif de recopie d'un si-
gnal d'horloge d'entrée (se) à fréquence non continue.

Il comporte un module (1) comparateur de la fréquence
du signal d'entrée (se) et du signal de sortie asservi (sa)
permettant de délivrer un signal de comparaison à trois
états égalité, valeur inférieure ou supérieure de la fré-
quence du signal de sortie (sa) vis-à-vis de celle du signal
d'entrée (se). Un circuit oscillateur (2) à prépositionnement
reçoit le signal de comparaison (sc) transformé en un si-
gnal de décrémentation de la valeur de prépositionnement
et délivre le signal de sortie dont la fréquence est asservie
à la valeur instantanée de la fréquence du signal d'entrée
(se).

Application à la gestion de circuits électroniques tels que
les mémoires FIFO.



FR 2 755 552 - A1



Dispositif de recopie d'un signal d'horloge d'entrée à
fréquence non continue

5 L'invention concerne un dispositif de recopie d'un signal d'horloge d'entrée à fréquence non continue.

10 Dans les dispositifs électroniques et/ou informatiques actuels, ou plus généralement dans tous les systèmes de traitement de l'information, en particulier lorsque ces dispositifs sont interconnectés à des réseaux de transmission asynchrone de l'information, il est utile ou même nécessaire de récupérer un signal d'horloge, afin d'assurer un traitement cohérent de l'information reçue.

15 Ce mode opératoire est en particulier utilisé avec des signaux d'horloge quelconques ou, de manière plus spécifique, avec des signaux d'horloge dont la fréquence instantanée, lors de la réception du signal d'horloge, n'est pas connue, mais réputée varier dans des limites de valeurs connues.

20 Ce type de mode opératoire est en particulier utilisé dans les dispositifs ou systèmes de transmission à horloge non continue tel que le réseau ATM (*Asynchronous Transmission Mode*) ou les réseaux de transmission de signaux DVB (*Digital Video Broadcasting*). Dans un tel cas, le signal d'horloge étant un signal à fréquence non continue, le système s'asservit, en fait, sur la fréquence moyenne de ce dernier.

25 A l'heure actuelle, les systèmes de récupération d'horloge utilisés fonctionnent sur le principe selon lequel la valeur de la fréquence du signal d'horloge à récupérer est connue ou à tout le moins évaluée avec une bonne précision.

30 Un tel système, tel que représenté en figures 1a, 1b et 1c, utilisé notamment en vue de la gestion d'une mémoire de type FIFO dans un système informatique, a pour objet de discriminer dans un signal d'horloge ATM constituée par des salves d'impulsions de fréquence moyenne, 3,375 MHz, des impulsions

de fréquence beaucoup plus élevée, 12 MHz par exemple.

De tels dispositifs, ainsi que représenté en figure 1b, peuvent mettre en oeuvre un oscillateur commandé en tension VCXO centré sur la fréquence à récupérer, l'oscillateur commandé en tension VCXO étant par exemple commandé par un circuit de type intégrateur. Le circuit intégrateur, représenté sous forme de circuit analogique par la figure 1b, peut par exemple être lui-même commandé par le signal d demi-remplissage hf de la mémoire FIFO.

En outre, dans une version plus récente, ainsi que représenté en figure 1c, un système numérique a été proposé, lequel met en oeuvre un oscillateur numérique NCO commandé par un circuit intégrateur. Dans un tel système, le circuit intégrateur numérique calcule en fait la valeur moyenne du signal de demi-remplissage et fait varier en conséquence les bits de poids faible du signal délivré à l'entrée de la mémoire FIFO, alors que les N-p, p=8, bits de poids fort de ce signal, correspondant aux bits de prépositionnement, sont conservés après convergence de l'asservissement sur le signal d'horloge d'entrée. Le prépositionnement est établi à partir de la valeur connue ou évaluée du signal d'horloge.

Pour une description plus détaillée de ce dispositif, tel que représenté en figure 1c, on pourra utilement se reporter à la demande de brevet français n° 96 03352 déposée le 18 mars 1996 au nom de la demanderesse, TELEDIFFUSION DE FRANCE.

La présente invention a pour objet de remédier aux inconvénients des dispositifs de l'art antérieur, représentés en figure 1b ou 1c, par la mise en oeuvre d'un dispositif de recopie d'un signal d'horloge d'entrée à fréquence d'horloge non continue dans lequel l'opération de prépositionnement est sensiblement supprimée ou au moins réduite à une suite d'étapes gérées séquentiellement.

Un autre objet de la présente invention est en particulier la mise en oeuvre d'un dispositif de recopie d'un signal d'horloge à fréquence non continue dans lequel

une convergence automatique de la fréquence du signal asservi sur la fréquence du signal d'entrée est réalisée.

Le dispositif de recopie d'un signal d'horloge d'entrée à fréquence non continue, objet de la présente invention, ce dispositif délivrant un signal de sortie de même fréquence que celle du signal d'entrée, est remarquable en ce qu'il comporte au moins un module comparateur de la fréquence du signal d'entrée et du signal de sortie, ce module comparateur délivrant un signal de comparaison à trois états représentatifs, soit de l'égalité, soit de la valeur inférieure, ou encore de la valeur supérieure de la fréquence du signal de sortie vis-à-vis de la fréquence du signal d'entrée et un oscillateur commandé du type à prépositionnement recevant le signal de comparaison et délivrant ledit signal de sortie dont la fréquence est asservie à la valeur instantanée de la fréquence du signal d'entrée.

Le dispositif de recopie d'un signal d'horloge d'entrée à fréquence non continue, objet de la présente invention, trouve application à la gestion de tout type de circuit électronique, micro-électronique ou informatique, et n'est pas limité à l'exemple qui sera donné ci-après dans la description et les dessins dans lesquels, outre les figures 1a, 1b et 1c relatives à l'art antérieur :

- la figure 2a représente un schéma synoptique général du dispositif de recopie d'un signal d'horloge d'entrée à fréquence non continue, objet de la présente invention, dans une application particulière non limitative à la gestion d'une mémoire de type FIFO ;

- la figure 2b représente un diagramme synoptique du mode opératoire du dispositif objet de la présente invention représenté en figure 2a ;

- la figure 2c représente un chronogramme temporel de la convergence en fréquence du signal asservi vers la fréquence du signal d'entrée ;

- la figure 3a représente un détail de réalisation

du module oscillateur numérique à prépositionnement de la figure 2a ;

5 - la figure 3b représente un détail de réalisation de la figure 3a, en particulier du module intégrateur numérique sur p bits.

Une description plus détaillée d'un dispositif de recopie d'un signal d'horloge d'entrée à fréquence non continue, conforme à l'objet de la présente invention, sera maintenant donnée en liaison avec la figure 2a.

10 La description précitée sera donnée dans un cas d'application non limitatif à la gestion d'une mémoire de type dit FIFO ou encore désignée mémoire "*premier entré - premier sorti*", soit en langage anglo-saxon "*First in - first out*". Cette application n'est aucunement limitative, 15 le dispositif objet de la présente invention pouvant faire l'objet de nombreuses applications variées.

Ainsi qu'on l'observera sur la figure 2a précitée, le dispositif objet de l'invention comprend au moins un module 1 comparateur de la fréquence du signal d'entrée, 20 noté se, constitué par un signal d'horloge d'entrée et du signal de sortie, lequel n'est autre que le signal asservi, constitué par le signal d'horloge de sortie, noté sa sur la figure 2a précitée. Ce module comparateur 1 délivre un signal de comparaison sc à trois états représentatif, soit 25 de l'égalité, soit de la valeur inférieure ou encore de la valeur supérieure de la fréquence du signal de sortie sa, ou encore signal asservi, par rapport à la fréquence du signal d'entrée se.

Le dispositif objet de la présente invention tel que 30 représenté en figure 2a comporte également un module oscillateur commandé, portant la référence 2, du type à prépositionnement. Ce module oscillateur 2 reçoit un signal de décrémentation sd délivré par le module comparateur 1 et délivre le signal de sortie sa dont la fréquence est 35 asservie à la valeur instantanée de la fréquence du signal d'entrée se. Le signal sd est désigné par signal de décré-

mentation, car globalement il a pour effet de provoquer une décrémentation globale de la valeur de prépositionnement au cours d'états successifs, étant entendu qu'une incrémentation locale pendant un ou plusieurs de ces états de la valeur de prépositionnement peut être réalisée.

En référence à la même figure 2a, on pourra observer que le module oscillateur commandé 2 peut comporter avantageusement un oscillateur numérique à prépositionnement, portant la référence 20, contrôlé en fréquence à partir d'une valeur de fréquence de référence codée sur p bits ainsi qu'à partir d'une valeur de prépositionnement en fréquence codée sur N-p bits.

Dans un exemple de mise en oeuvre non limitatif, N est égal à 22 et p est égal à 8, la valeur de prépositionnement étant ainsi codée sur 14 bits. En outre, le module oscillateur commandé 2 comprend un circuit de prépositionnement proprement dit 21, ce circuit de prépositionnement permettant d'engendrer la valeur de prépositionnement et recevant le signal de décrémentation sd constitué à partir du signal de comparaison et permettant d'assurer une décrémentation de la valeur de prépositionnement.

Dans un mode de réalisation préférentiel, on comprend que le circuit 21 de prépositionnement peut être constitué par un registre permettant de mémoriser les 14 bits, ou, de manière plus générale, les N-p bits de la valeur de prépositionnement, et d'affecter à chaque bit constitutif de cette valeur de prépositionnement une valeur déterminée, la valeur de prépositionnement codée pouvant ainsi être décrémentée par le signal de décrémentation sd, c'est-à-dire par l'intermédiaire du signal de comparaison sc.

En ce qui concerne l'oscillateur numérique à prépositionnement 20, on indique que celui-ci correspond à l'oscillateur numérique tel que décrit dans la demande de brevet français n° 96 03352 précédemment mentionnée dans la description, au nom de la demanderesse.

A titre d'exemple non limitatif, ainsi qu'il est d'ailleurs illustré de manière plus détaillée sur la figure 2a par exemple, on indique que cet oscillateur numérique 20 peut avantageusement consister en un circuit délivrant une fréquence de référence 201, ce circuit pouvant être constitué par un oscillateur à quartz par exemple. Le module oscillateur numérique 20 comporte également un module intégrateur sur p bits 202, c'est-à-dire recevant le signal de fréquence de référence et permettant de délivrer, sur la base du pilotage du signal hf représentatif du demi-remplissage de la mémoire FIFO, un signal correspondant intégré, ainsi qu'il sera décrit ultérieurement dans la description en liaison avec les figures 3a et 3b.

Enfin, un circuit oscillateur à commande numérique 203 délivre, à partir du signal intégré précité et de la valeur de prépositionnement codée sur N-p bits, le signal d'horloge sa dont la fréquence est sensiblement asservie au signal d'entrée se.

En ce qui concerne le module comparateur 1, celui-ci comprend, ainsi que représenté sur la figure 2a, un premier compteur numérique, portant la référence 11, compteur numérique de valeurs numériques sur N-p bits, sur une période de comptage T déterminée. Ce premier compteur numérique 11 reçoit sur son entrée de comptage le signal d'entrée se et délivre une première valeur de comptage, la valeur Ne par exemple.

Un deuxième compteur numérique 12 est prévu, compteur de valeurs numériques sur N-p bits, sur la même période de comptage T, ce deuxième compteur numérique recevant sur son entrée de comptage le signal de sortie ou le signal asservi sa et délivrant une deuxième valeur de comptage, notée Na, pendant la même période de comptage T.

Enfin, le module comparateur 1 comporte également un comparateur numérique, portant la référence 13, recevant la première et la deuxième valeur de comptage Ne, Na et délivrant le signal de comparaison sc puis, par l'intermé-

diaire d'un circuit de décrémentation 14, un signal correspondant à une valeur de prépositionnement décrémentée noté s_d , à partir d'une valeur maximum initiale de prépositionnement codée sur $N-p$ bits.

5 Le mode opératoire global du dispositif de recopie d'un signal d'horloge d'entrée à fréquence non continue, objet de la présente invention, tel que représenté en figure 2a, est illustré à l'aide d'un organigramme fonctionnel représenté en figure 2b.

10 En une étape 1000, pour une première valeur de prépositionnement codée sur $N-p$ bits avec $p = 8$ et $N = 22$, correspondant à $Z = 1$, Z étant une variable d'état, les $N-p$ bits de la valeur de prépositionnement sont forcés à la valeur zéro, sauf en ce qui concerne le bit de poids le
15 plus élevé. La fréquence du signal de sortie, ou signal asservi s_a , est alors à sa valeur maximale et correspond à une valeur déterminée par la fréquence de référence délivrée par l'oscillateur de référence 201. Compte tenu de la valeur de la fréquence du signal asservi s_a , un comptage est
20 effectué sur le signal d'entrée s_e pendant une durée de comptage T suivie d'une durée de remise à zéro par le signal RAZ ou RESET. Le nombre d'impulsions du signal d'entrée compté pendant cette durée est égal à N_e suite à l'étape 1001 de la figure 2b.

25 Parallèlement à ce processus de comptage, un même processus de comptage est effectué sur le signal asservi s_a sur une même durée T suivie d'une même période de remise à zéro par le signal RAZ ou signal RESET. Cette opération est effectuée à l'étape 1002 de la figure 2b. Le nombre d'impul-
30 sions comptées sur le signal asservi s_a est alors égal à N_a sur la durée de comptage précitée T .

 Les étapes 1001 et 1002 précitées sont suivies d'une étape de test de comparaison entre les valeurs de comptage N_e et N_a du signal d'entrée s_e , respectivement du signal
35 asservi s_a . Sur réponse positive au test de comparaison 1003, une étape 1004 permet le retour à l'étape de préposi-

tionnement 1000 précitée avec passage à une valeur de prépositionnement décrétementée d'une unité, correspondant en fait en une étape de processus $Z = 2$ suivante pour laquelle le bit de poids le plus fort de la valeur de prépositionnement est mis à zéro, alors que le bit de poids immédiatement suivant est lui-même mis à la valeur 1, les autres bits de poids plus faible étant par exemple maintenus à la valeur zéro. Le processus est itéré, en particulier les étapes 1001 et 1002 sur une durée de comptage T pour le signal d'entrée se, respectivement le signal asservi sa. L'étape de comparaison 1003 est alors effectuée à nouveau et, sur réponse positive à l'étape de comparaison 1003, l'étape 1004 ramène à une étape de prépositionnement 1000 au cours de laquelle la valeur de prépositionnement est à nouveau décrétementée, ainsi que mentionné précédemment dans la description. Le processus est poursuivi tant que la valeur N_e est inférieure à N_a , ce qui bien entendu permet d'abaisser en conséquence la fréquence du signal asservi sa pour la rendre convergente avec celle de la fréquence du signal d'entrée se.

Lorsque, à la suite d'un nombre déterminé d'itérations du processus, par l'intermédiaire de l'étape 1004, la réponse au test de comparaison 1003 devient négative, la fréquence du signal asservi sa devenant inférieure strictement à la fréquence du signal d'entrée se, c'est-à-dire pour $N_a < N_e$, l'étape de comparaison 1003 précitée est suivie d'une étape 1005 au cours de laquelle la valeur de prépositionnement est fixée en ce qui concerne les bits de poids fort, et une étape 1006 permet de retourner à l'étape de prépositionnement 1000 avec incrémentation des bits de poids les plus faibles pour faire converger la fréquence du signal asservi sa vers la valeur de la fréquence du signal d'entrée se par valeurs inférieures, suite à des incrémentations successives des bits de poids le plus faible. L'étape 1006 peut alors être poursuivie d'une nouvelle étape par itération de comptage 1001, 1002, de test 1003, suivie d'une étape 1005 pour arriver à une convergence à une valeur de

fréquence du signal asservi sa sensiblement égale à la valeur de la fréquence du signal d'entrée se, à la valeur du bit de poids le plus faible près, correspondant à un incrément de fréquence, lequel peut avantageusement être pris
5 égal à quelques hertz.

En fait, dans un mode de réalisation simplifié, on indique que, au bout de N-p durées de comptage T, les comptages effectués sur le signal d'entrée se et sur le signal asservi sa ont sensiblement même valeur et la valeur
10 du prépositionnement est sensiblement calculée. Le module oscillateur à commande numérique 203 peut alors fonctionner de manière classique à partir de la valeur de fréquence de référence pour délivrer un signal asservi de fréquence sensiblement égal à celle du signal d'entrée se.

15 Dans le cas où la fréquence du signal d'entrée se est modifiée, la différence de valeurs de comptage Ne et Na change en conséquence et n'est plus nulle. Les N-p bits du prépositionnement sont remis à la valeur zéro, sauf en ce qui concerne le bit de plus fort poids et le cycle de
20 recherche de la valeur de prépositionnement peut alors recommencer.

Un exemple de calcul de la valeur de prépositionnement est donné dans le tableau ci-après, pour une fréquence Fs du signal asservi sa vérifiant la relation :

25
$$F_s = X \cdot F_{ref} / 2^N.$$

Dans cette relation, on indique que :

Fs représente la fréquence de sortie du signal asservi sa, c'est-à-dire dans l'exemple de réalisation précédemment donné dans la description, à une fréquence d'entrée de
30 3,375 MHz ;

X représente la valeur d'état ou de phase, compte tenu de la valeur de prépositionnement ;

Fref représente la fréquence de référence prise égale à 17 MHz, et

35 N représente le nombre de bits utilisés pour le codage de la valeur d'état X, N = 22 dans l'exemple choisi.

Z	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	X	Fs
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	2097152	8.5
2	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1048576	4.250
3	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	524288	2.125
4	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	786432	3.187
5	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	917504	3.718
6	0	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	851968	3.453
7	0	0	1	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	819200	3.320
8	0	0	1	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	835584	3.386
9	0	0	1	1	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	811008	3.287
10	0	0	1	1	0	0	1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	831488	3.370
11	0	0	1	1	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	833636	3.378
12	0	0	1	1	0	0	1	0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	832512	3.374
13	0	0	1	1	0	0	1	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	833024	3.376
14	0	0	1	1	0	0	1	0	1	1	1	1	0	1	0	0	0	0	0	0	0	0	832768	3.375

Le mode de convergence vers la valeur de la fréquence d'entrée f_e du signal d'entrée se est représenté en fonction de Z , variable d'état de décrémentation respectivement d'incrémentatation par les branches 1004 et 1006 de la figure 2b sur la figure 2c.

Ainsi, en référence aux valeurs du tableau précité, la fréquence du signal de sortie ou signal asservi s_a , tout d'abord égal à 8,5 MHz pour $Z = 1$, c'est-à-dire pour la valeur de prépositionnement initial utilisée, est successivement décrémentée jusqu'à la valeur 2,125 MHz par les opérations de décrémentation jusqu'à $Z = 3$, puis à nouveau réincrémentée pour $Z = 4$ et $Z = 5$ par la branche 1006, par prépositionnement des bits de poids les moins élevés à la valeur 1, la fréquence du signal asservi s_a passant à nouveau au-delà de la valeur de la fréquence d'entrée f_e , puis à nouveau décrémentée pour les valeurs $Z = 7$ et $Z = 8$ par la branche 1004 de la figure 2b, et ainsi de suite pour arriver par oscillations successives provoquées par le prépositionnement des bits de valeur inférieure à la valeur de la fréquence d'entrée $f_e = 3,375$ MHz.

En ce qui concerne la réalisation effective du circuit 14 de décrémentation, on indique que celui-ci peut être réalisé à partir d'une table de consultation par exemple, recevant en entrée le signal de comparaison s_c et délivrant directement au registre de prépositionnement 21, la valeur de prépositionnement codée sur $N-p$ bits avec $p = 8$ selon les valeurs représentées dans le tableau précédemment mentionné.

On indique que les valeurs de prépositionnement mentionnées dans le tableau précité ne sont pas limitatives et qu'il est bien entendu possible de prévoir un mode de convergence différent, par exemple par valeurs inférieures suite au premier passage de la valeur de la fréquence du signal asservi s_a , c'est-à-dire de la fréquence du signal de sortie s_a en-deçà de la valeur de la fréquence du signal d'entrée s_e . Le mode de convergence n'est pas limitatif.

Une description plus détaillée de l'oscillateur numérique à prépositionnement 20 sera maintenant donnée en liaison avec les figures 3a et 3b.

5 Sur la figure 3a, on a représenté les différents éléments constitutifs de l'oscillateur numérique à prépositionnement 20 également représenté sur la figure 2a. Ce dernier est réputé comporter un oscillateur pilote 201 constitué par un oscillateur à quartz par exemple, lequel délivre le signal à fréquence de référence précédemment
10 mentionné dans la description, à la valeur de 17 MHz par exemple.

Outre l'oscillateur de référence 201 précité, l'oscillateur numérique à prépositionnement 20 comporte également un dispositif intégrateur sur p bits, avec $p = 8$,
15 ce circuit intégrateur étant constitué par exemple par un microprocesseur noté μP sur la figure 3a. Ce circuit intégrateur reçoit le signal hf délivré par la mémoire FIFO, ce signal hf étant représentatif de l'état de demi-remplissage de la mémoire FIFO précédemment citée dans la description. Le circuit intégrateur 202 délivre un mot numérique codé sur p bits représentatif de la valeur intégrée du signal hf. Ce mot est noté NI sur la figure 3a. Cette valeur intégrée NI est alors délivrée à un oscillateur à commande numérique proprement dit 203, connu sous le vocable anglo-saxon de NCO. Le circuit oscillateur NCO 203 comprend, ainsi
25 que représenté en figure 3a, un registre tampon, noté 2030, composé de deux parties semblables 2030a et 2030b, chaque partie du registre tampon recevant la valeur intégrée NI du signal hf, respectivement la valeur de prépositionnement NP codée sur N-p bits. Le registre tampon permet ainsi la mémorisation en parallèle des mots précités pour former en fait un mot codé sur N bits. Le registre tampon 2030 délivre alors le mot codé sur N bits correspondant, compte tenu de la valeur X de prépositionnement précédemment mentionnée
30 dans la description. Ce mot est alors délivré à un accumulateur 2031 dont la sortie est rebouclée sur une deuxième

entrée. Le bit de poids le plus fort délivré par l'accumulateur 2031 constitue le signal de sortie ou signal asservi sa dont la fréquence est égale à celle du signal d'entrée, ainsi que décrit précédemment dans la description.

5 En ce qui concerne le circuit intégrateur 202, on indique que celui-ci peut être réalisé par un microprocesseur tel que représenté en figure 3b, celui-ci comportant au moins deux registres en parallèle 2021 et 2022 pilotés par un oscillateur interne 2023 délivrant un signal d'horloge de
10 commande noté H_0 aux deux entrées des registres de comptage 2021 et 2022. Le registre de comptage 2021 reçoit, outre le signal d'horloge H_0 , le signal hf délivré par la mémoire FIFO représentatif de l'état de demi-remplissage de celle-ci. Les registres de comptage 2021 et 2022 assurent le
15 comptage par incrémentation de ces registres à partir du signal d'horloge H_0 délivré par l'oscillateur 2023 pour le registre de comptage 2022 sur une durée de comptage T_0 , alors que le premier registre de comptage 2021 assure le
20 comptage de la même horloge H_0 pendant la même durée de comptage T_0 conditionnellement à la valeur du signal hf délivré par la mémoire FIFO. Les signaux de comptage correspondants N_1 et N_2 délivrés par le premier 2021, respectivement le deuxième circuit de comptage 2022, sont
25 délivrés à un circuit diviseur 2024, lequel permet de délivrer la valeur intégrée N_i représentative de la valeur intégrée du signal hf délivré par le signal de comptage. Bien entendu, l'ensemble du microprocesseur 202 est cadencé par un signal base de temps 2025 délivrant un signal ST_0 à l'ensemble des organes précédemment décrits.

30 Globalement, le fonctionnement du module oscillateur numérique à prépositionnement 20 est le suivant :

 La mémoire FIFO fonctionne en fait sur un mode premier entré - premier sorti et reçoit des données au rythme des coups d'horloge du signal d'entrée se, et
35 restitue ces données sur commande du signal de sortie, c'est-à-dire du signal asservi sa. Elle délivre le signal hf

à deux états précité, dont un premier état représente un taux de remplissage en-deçà de la valeur de seuil déterminée prise par exemple égale au demi-remplissage de la mémoire FIFO, alors que le second état de ce signal représente un
5 taux de remplissage au-delà de cette valeur de seuil.

Le circuit intégrateur 202 assure l'intégration du signal hf pendant des intervalles de temps contigus de durée déterminée, c'est-à-dire les valeurs T_0 précédemment mentionnées dans la description. Le mot représentatif de la
10 valeur intégrée NI est délivré à l'issue de chacun de ces intervalles de temps selon le mot de p bits précédemment mentionné dans la description. Le circuit oscillateur numérique commandé proprement dit 203 effectue ensuite l'addition et l'accumulation du mot binaire de préposition-
15 nement N_p codé sur N-p bits au rythme de la fréquence de référence délivrée par le circuit oscillateur 201, le processus d'accumulation étant en fait obtenu par le rebouclage du résultat par l'accumulateur 2031. La fréquence de variation du bit de poids le plus fort du résultat de
20 l'addition et de l'accumulation constitue en fait le signal de sortie, ou signal asservi sa, dont la fréquence continue moyenne est celle de la fréquence du signal d'entrée se.

Dans la relation donnant la fréquence de sortie F_s précédemment mentionnée dans la description, la valeur X
25 représente la valeur binaire du mot binaire de N bits délivrée par le registre tampon 2030.

Pour une description plus détaillée du mode opératoire de l'oscillateur numérique à prépositionnement 20, on pourra utilement se reporter à la demande de brevet français
30 n° 96 03352 précédemment citée dans la description et introduite dans celle-ci à titre de référence.

En ce qui concerne le dispositif de recopie d'un signal d'horloge d'entrée à fréquence non continue, objet de la présente invention, on indique que, bien qu'applicable à
35 la gestion d'une mémoire tampon constituée par une mémoire FIFO telle que décrite précédemment, celui-ci peut en fait

être utilisé dans le cadre d'applications beaucoup plus larges.

5 D'une première part, le signal délivré par la mémoire FIFO n'est pas nécessairement celui correspondant au taux de demi-remplissage de cette dernière. Il est possible en particulier de prévoir un signal correspondant à une valeur de taux de remplissage quelconque. Alors que la mémoire tampon a pour objet d'assurer une mémorisation des données d'entrée compte tenu des variations de la fréquence
10 instantanée du signal d'horloge d'entrée, ou signal d'entrée se, le signal hf délivré par la mémoire tampon précitée étant alors représentatif de ces variations, le dispositif objet de la présente invention peut, d'une deuxième part, être appliqué à tout signal d'horloge d'entrée se appliqué
15 à un module informatique de réception délivrant un signal analogue au signal hf, ce signal étant bien entendu représentatif du signal d'horloge d'entrée se.

REVENDECATIONS

1. Dispositif de recopie d'un signal d'horloge d'entrée à fréquence non continue, ce dispositif délivrant un signal de sortie de même fréquence que celle du signal d'entrée, caractérisé en ce que ce dispositif comporte au moins :

- des moyens comparateurs de la fréquence du signal d'entrée et du signal de sortie, lesdits moyens comparateurs délivrant un signal de comparaison à trois états représentatifs, soit de l'égalité, soit de la valeur inférieure, ou encore de la valeur supérieure de la fréquence du signal de sortie par rapport à la fréquence du signal d'entrée ;

- des moyens oscillateurs commandés du type à prépositionnement recevant ledit signal de comparaison et délivrant ledit signal de sortie dont la fréquence est asservie à la valeur instantanée de la fréquence du signal d'entrée.

2. Dispositif selon la revendication 1, caractérisé en ce que lesdits moyens oscillateurs commandés comportent au moins :

- un oscillateur numérique à prépositionnement, contrôlé en fréquence à partir d'une valeur de fréquence de référence codée sur p bits et d'une valeur de prépositionnement en fréquence codée sur N-p bits ;

- un circuit de prépositionnement interconnecté audit oscillateur numérique permettant d'engendrer ladite valeur de prépositionnement et recevant ledit signal de comparaison, constitué par un signal de décrémentation de ladite valeur de prépositionnement.

3. Dispositif selon l'une des revendications 1 ou 2, caractérisé en ce que lesdits moyens comparateurs comprennent au moins :

- un premier compteur numérique de valeur sur N-p bits sur une période de comptage T déterminée, ledit premier compteur numérique recevant sur son entrée de comptage ledit signal d'entrée et délivrant une première valeur de compta-

ge ;

5 - un deuxième compteur numérique de valeur sur N-p bits sur ladite période de comptage T, ledit deuxième compteur numérique recevant sur son entrée de comptage ledit signal de sortie et délivrant une deuxième valeur de comptage ;

10 - un comparateur numérique recevant la première et la deuxième valeur de comptage et délivrant ledit signal de comparaison.

15 4. Dispositif selon l'une des revendications 2 ou 3, caractérisé en ce que lesdits moyens comparateurs comprennent en outre un circuit de décrémentation recevant ledit signal de comparaison permettant d'engendrer à partir d'une valeur maximum initiale de prépositionnement codée sur N-p bits une valeur de prépositionnement décrémentée.

1/4

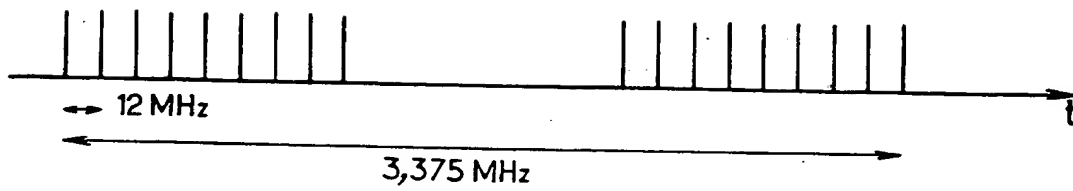
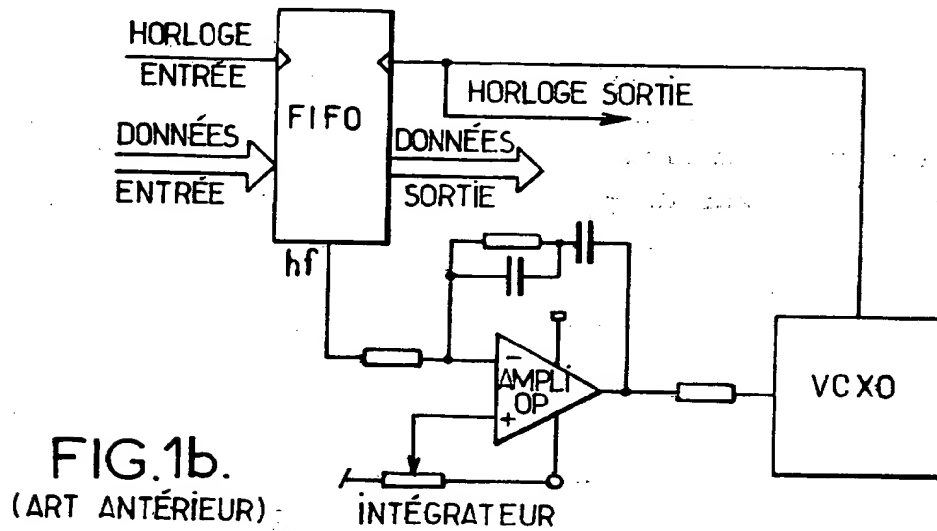
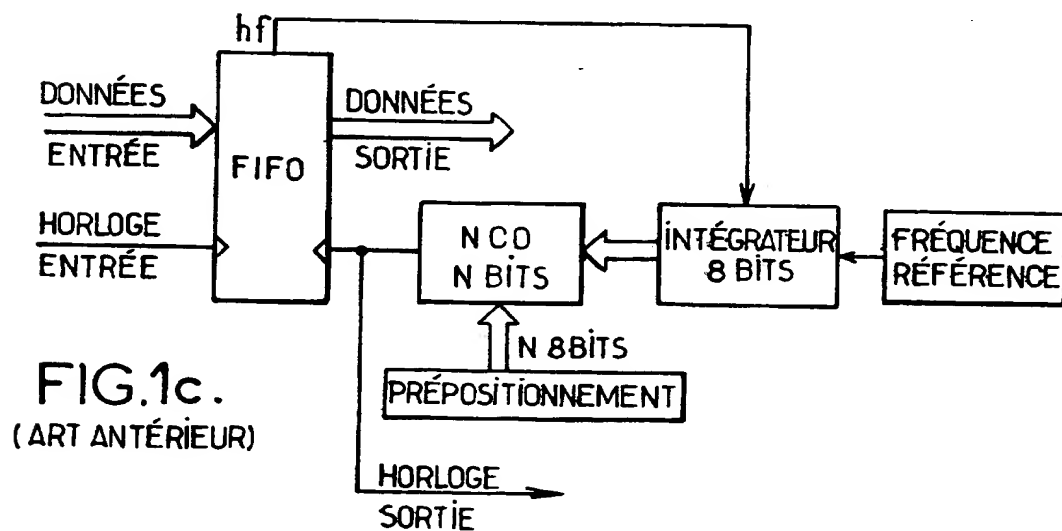


FIG.1a. (ART ANTÉRIEUR)

FIG.1b.
(ART ANTÉRIEUR)FIG.1c.
(ART ANTÉRIEUR)

2/4

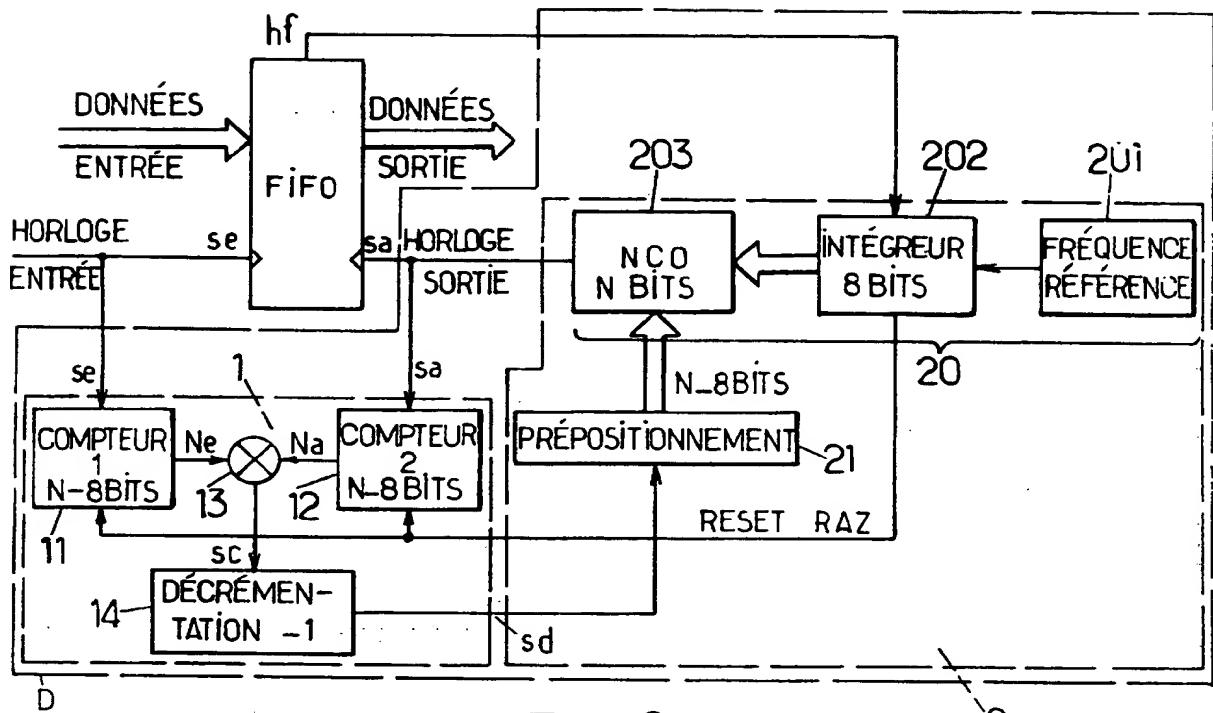


FIG. 2a.

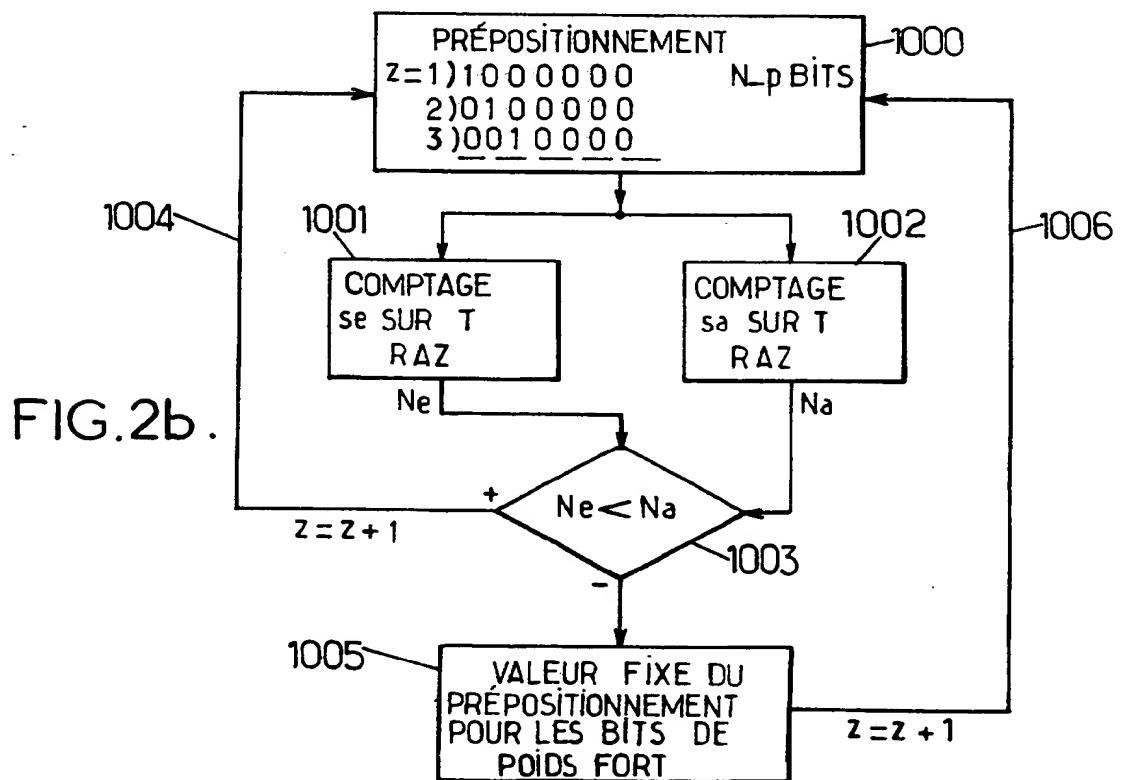
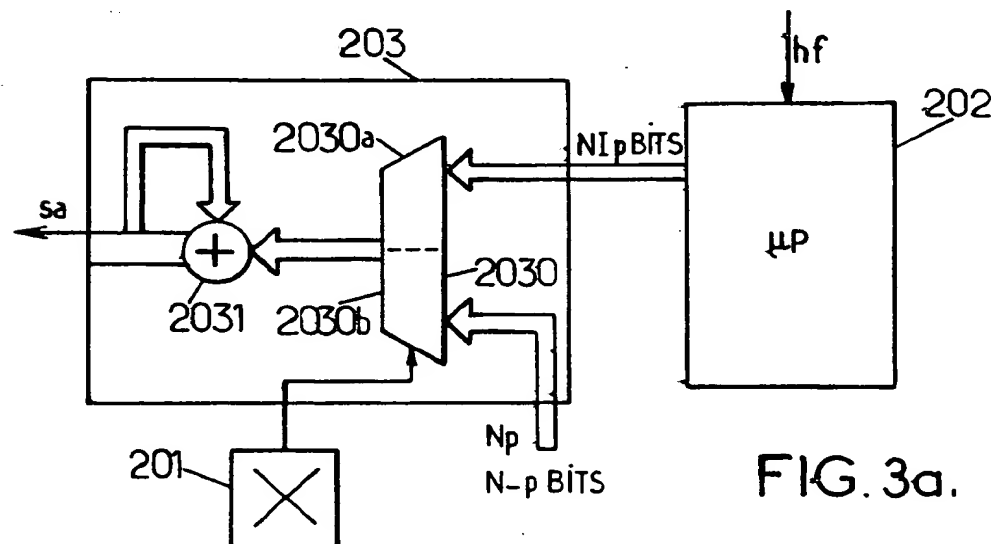
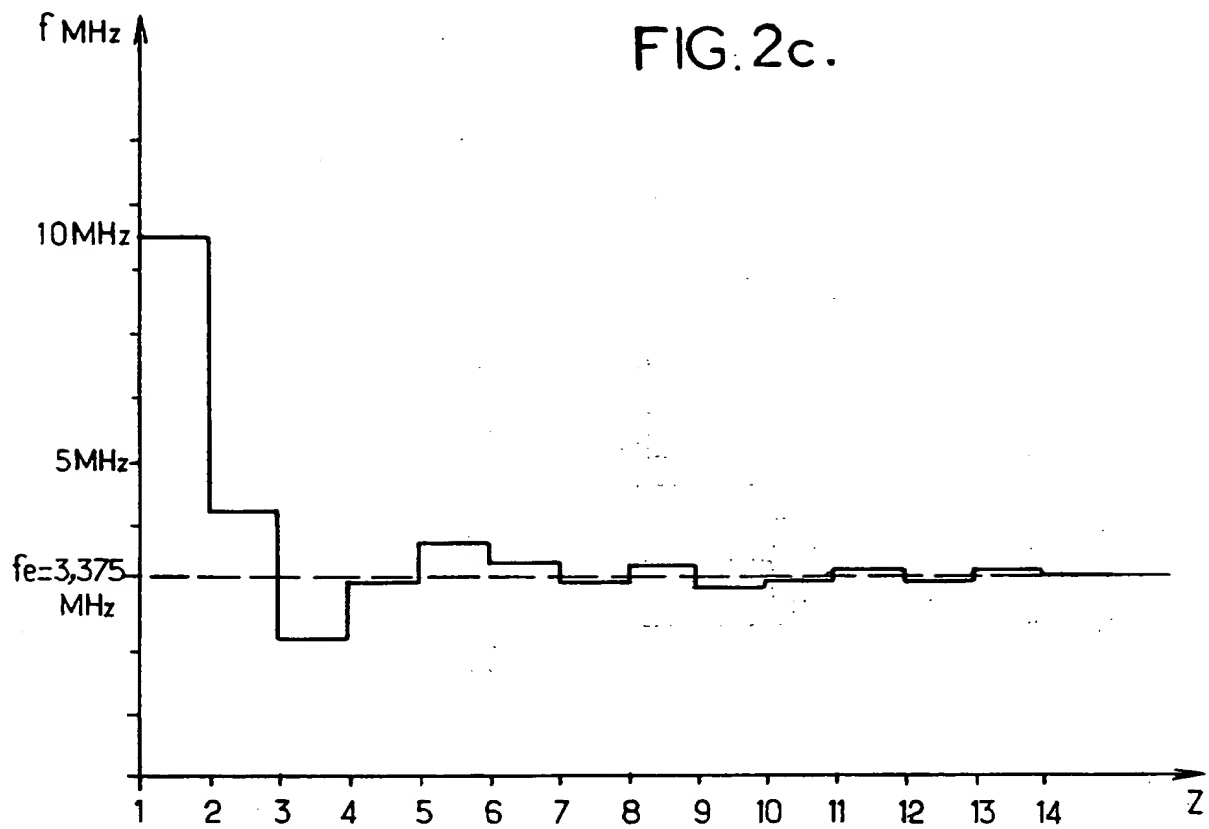


FIG. 2b.

3/4



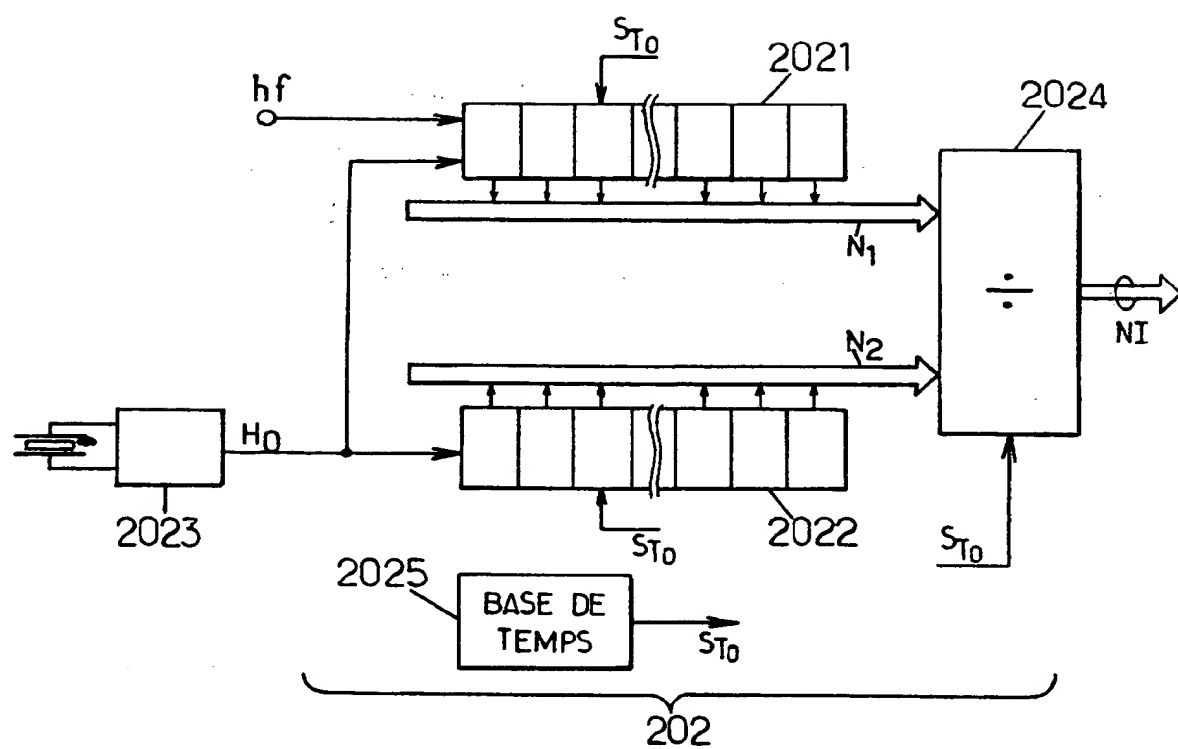


FIG. 3b.

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	GB 2 122 822 A (INT STANDARD ELECTRIC CORP) 18 Janvier 1984 * page 1, ligne 5 - ligne 9 * * page 2, ligne 10 - ligne 117 * * page 3, ligne 95 - page 5, ligne 18; figures 1,3 *	1,3,4
A	---	2
X	WO 89 05065 A (BELL COMMUNICATIONS RES) 1 Juin 1989 * page 1, ligne 3 - ligne 5 * * page 3, ligne 23 - page 12, ligne 30; figures 2-8B *	1
A	---	2,4
X	IEEE TRANSACTIONS ON AEROSPACE AND ELECTRONIC SYSTEMS, vol. AES-9, no. 3, Mai 1973, NEW YORK US, pages 463-464, XP002035028 BRUCE J. BROWN: "Digital Frequency Lock Generator" * le document en entier *	1
A	---	2-4
A	EP 0 647 017 A (AT & T CORP) 5 Avril 1995 * colonne 2, ligne 27 - colonne 5, ligne 24; figures 1-3 *	1,3,4
A	US 5 274 681 A (YAMADA HIROKI ET AL) 28 Décembre 1993 * colonne 2, ligne 16 - colonne 4, ligne 4; figure *	1
Date d'achèvement de la recherche		Examinateur
11 Juillet 1997		Balbinot, H
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>		

1

EPO FORM 1503 (01/92) (P/MC/13)

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12

1911-12